

## **KR 1997-51846 A**

**TITLE:** Method for forming a fine gate pattern of semiconductor device

### **ABSTRACT**

The present invention relates to a method for forming a fine gate pattern of high-density semiconductor device. So as to form the fine gate pattern of the MOS device, a gate electrode mask is used twice so that the distance between the gate electrodes is minimized and the interference caused by the adjacent gate electrode during the exposure is prevented. Therefore, the line width can be reduced from 0.8 $\mu$ m to 0.5 $\mu$ m or less.

공개특허특1997-0051846

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H01L 21/027(11) 공개번호 특1997-0051846  
(43) 공개일자 1997년07월29일

(21) 출원번호 특1995-0050468

(22) 출원일자 1995년12월15일

(71) 출원인 현대전자산업 주식회사 김주용  
경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860 )(72) 발명자 조영재  
경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860 )

(74) 대리인 이정훈, 이권희

심사청구 : 없음

## (54) 반도체 소자의 미세 게이트 패턴 형성 방법

## 요약

본 발명은 고집적 반도체의 미세 게이트 패턴 형성방법에 관한 것으로, MOS 소자의 미세 게이트 패턴을 형성하기 위하여 게이트 전극 마스크를 두번에 걸쳐 사용하여 게이트 전극을 미세 간격으로 형성할 수 있으며 노광시 인접한 게이트 전극에 의해 간섭 현상등을 배제할 수가 있으므로 게이트전극의 최소선폭을 0.8 $\mu$ m에서 0.5 $\mu$ m이하로 크게 줄일 수 있는 기술이다.

## 대표도

## 도2

## 명세서

## [발명의 명칭]

반도체 소자의 미세 게이트 패턴 형성방법

## [도면의 간단한 설명]

제2도의 (A) 내지 (E)는 본 발명의 실시예에 의해 MOS 소자를 형성하는 공정 단계를 도시한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## (57)청구의 범위

## 청구항1

MOS 반도체소자의 형성방법에 있어서, 반도체판의 일정부분에 필드산화막을 형성하고, 노출된 반도체기판의 표면 상부에 게이트 산화막, 다결정 실리콘층을 증착한 다음, 그 상부에 마스크 산화막과 질화막을 증착하는 단계와, 그 상부에 게이트전극이 형성될 지역이 한칸 걸러 형성된 제1감광막패턴을 형성하는 단계와, 상기 제1감광막패턴을 마스크로 이용한 식각 공정으로 상기 질화막을 식각하여 질화막 패턴을 형성하는 단계와, 마스크 산화막의 상부에 상기 질화막패턴의 사이에 게이트가 형성될 지역에 제2감광막 패턴을 형성하는 단계와, 상기 제2감광막패턴과 상기 질화막패턴을 마스크로 사용하여 마스크 산화막, 다결정 실리콘층을 식각하여 게이트전극 패턴을 형성하는 단계를 포함하는 반도체소자의 미세 게이트 패턴 형성방법.

## 청구항2

제1항에 있어서, 상기 마스크 산화막은 약180-220Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 미세

## BEST AVAILABLE COPY

게이트 패턴 형성방법.

청구항3

제1항에 있어서, 상기 질화막은 약1800~2200 Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 미세 게이트 패턴 형성방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

